



УНИВЕРСИТЕТ
ЛОБАЧЕВСКОГО

ТЕСТИРОВАНИЕ ПРОИЗВОДИТЕЛЬНОСТИ ПРОЦЕССОРОВ АРХИТЕКТУРЫ RISC-V

В.Д. Волокитин, Е.А. Козинов, В.Д. Кустикова, А.В. Линев, И.Б. Мееров

Суперкомпьютерные дни в России,

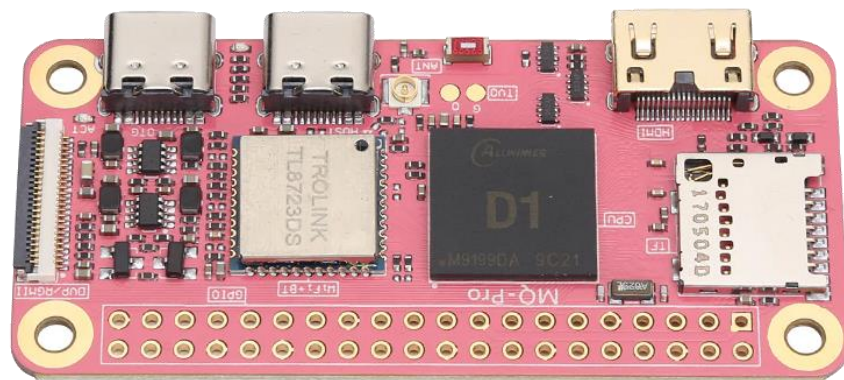
25-26 сентября 2023г.

УСТРОЙСТВА RISC-V

MangoPi MQ-Pro (D1)

- Процессор: Allwinner D1 (1xXuanTie C906, 1ГГц)
- Оперативная память: 1ГБ DDR3L (одноканальная)

XuanTie C906: RV64IMAFDCV ISA, 5-стадийный однозадачный in-order конвейер, поддерживает векторные инструкции с длиной вектора 128-бит (не поддерживаются 64-битные элементы), FMA



OS: Ubuntu 22.10 (RISC-V)

УСТРОЙСТВА RISC-V (2)

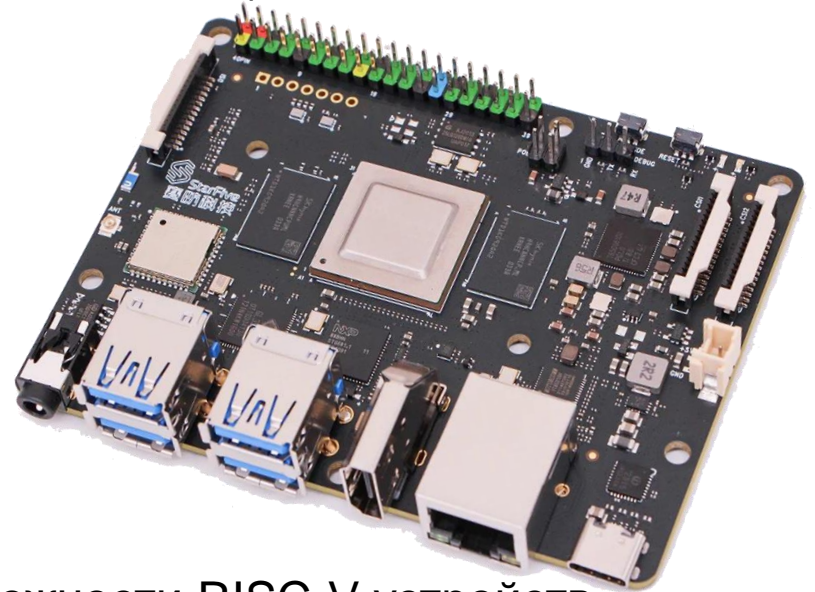
StarFive VisionFive v1 (JH7100)

- Процессор: StarFive JH7100 (2xStarFive U74, 1ГГц)
- Оперативная память: 8ГБ LPDDR4* (двухканальная)

StarFive U74: RV64IMAFDCB ISA,
8-стадийный двухзадачный in-order
конвейер, FMA

ОС: Ubuntu 22.10 (RISC-V)

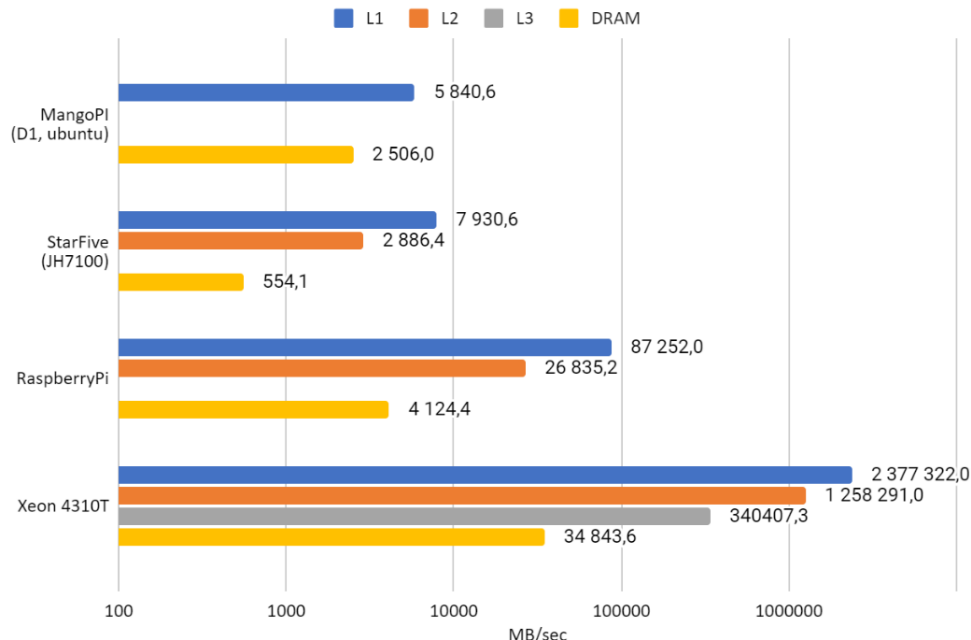
- Цель работы: рассмотреть текущие возможности RISC-V устройств



STREAM-БЕНЧМАРК

STREAM – стандартный бенчмарк производительности подсистемы памяти основанный на 4-х тестах с разной арифметической интенсивностью:

- COPY
- SCALE
- SUM
- TRIAD



Краткий результат:

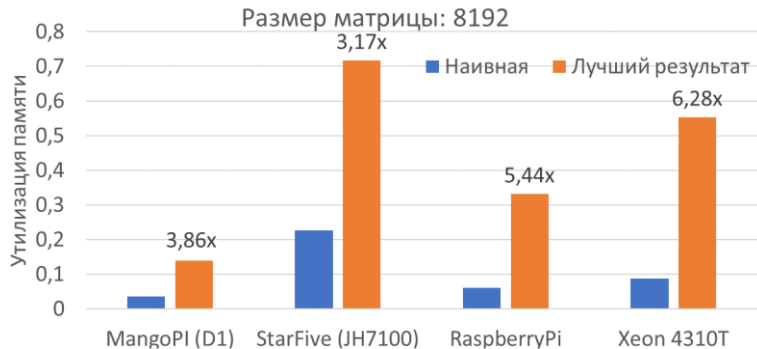
- Представленные устройства значительно отстают не только от серверного решения на x86, но и от ближайшего аналога – Raspberry Pi 4B

ТРАНСПОНИРОВАНИЕ МАТРИЦ

Использовался код из собственного case-study по улучшению эффективности работы с памятью:

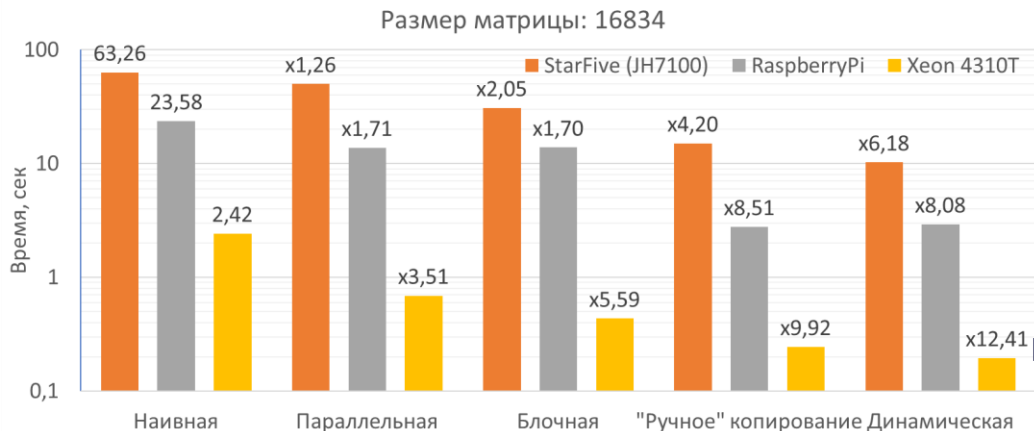
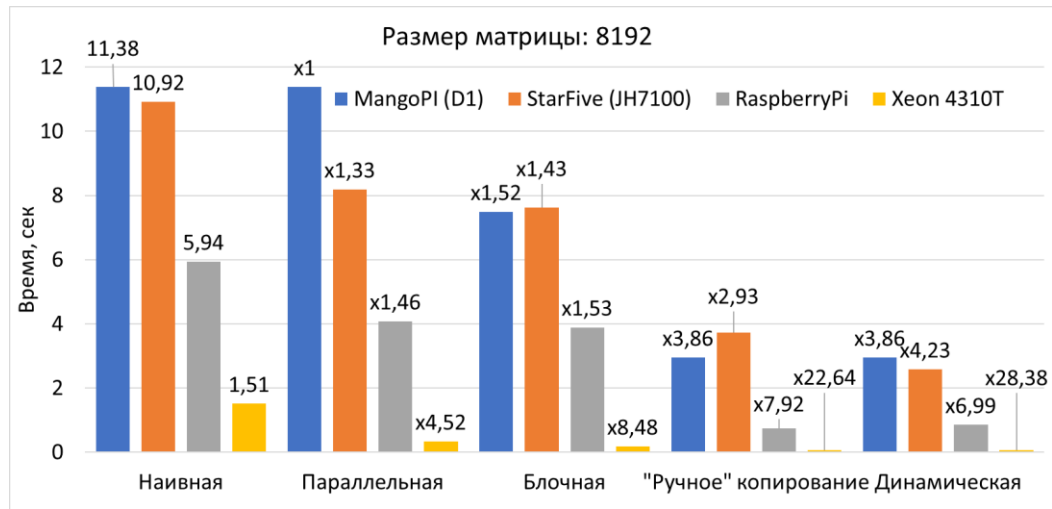
- **Наивная версия** – типичная реализация транспонирования без оптимизации
- **Параллельная** – распараллеленная наивная версия
- **Блочная** – обход транспонирования по блокам для лучшей работы с кэш-памятью
- **«Ручное» копирование** – предварительная загрузка блоков в кэш-память, что позволяет сделать все «дальние» обращения последовательными
- **Динамическая** – версия «ручного» копирования с динамическим планировщиком задач

РЕЗУЛЬТАТЫ



Общие выводы:

- Удалось использовать неизмененные коды
- Отставание есть, но есть и хорошая утилизация ресурсов
- Стандартные оптимизации кода работают ожидаемым образом



СПАСИБО ЗА ВНИМАНИЕ!

Больше информации про RISC-V на мастер-классе «Введение в анализ производительности программ для процессоров архитектуры RISC-V»
26 сентября 14:30-16:30 Аудитория E355