



SyntacoreTM
Custom cores and tools

Экосистема RISC-V: этапы развития, новинки и тренды

26 сентября, 2023

Сергей Якушкин, Syntacore
info@syntacore.com

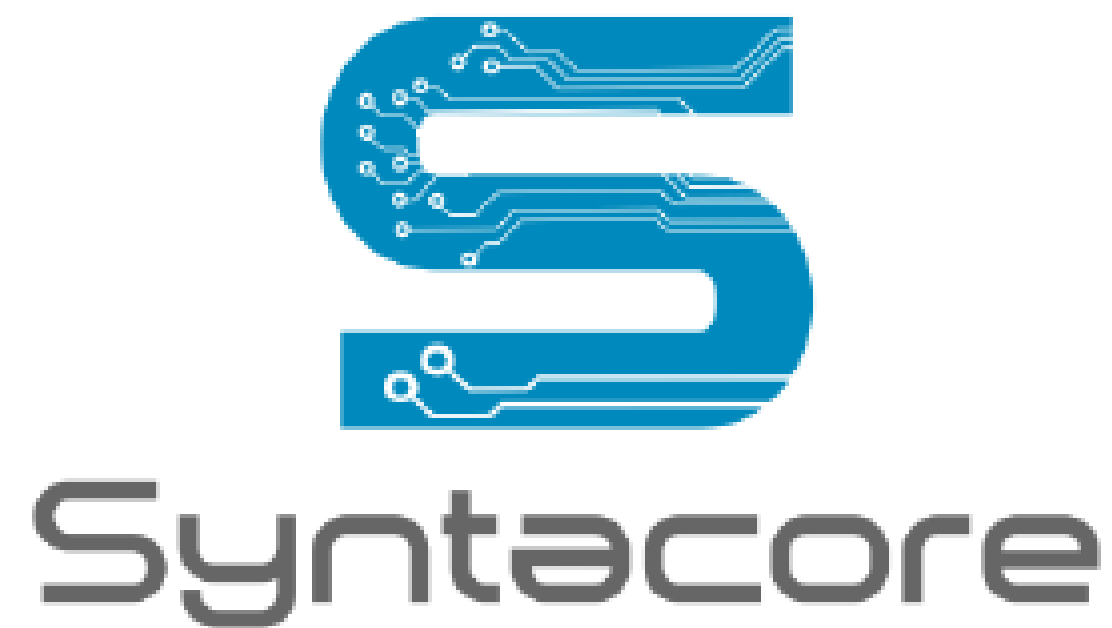


SyntacoreTM
Custom cores and tools

Copyright © 2023 Syntacore. All trademarks, product, and brand names belong to their respective owners.

АЛЪЯНС
RISC-V

- открытая архитектура RISC-V и этапы ее развития
- современное состояние стандартов
- инструменты разработки и программное обеспечение
- примеры продуктов на основе RISC-V
- RISC5 Альянс и сообщество разработчиков



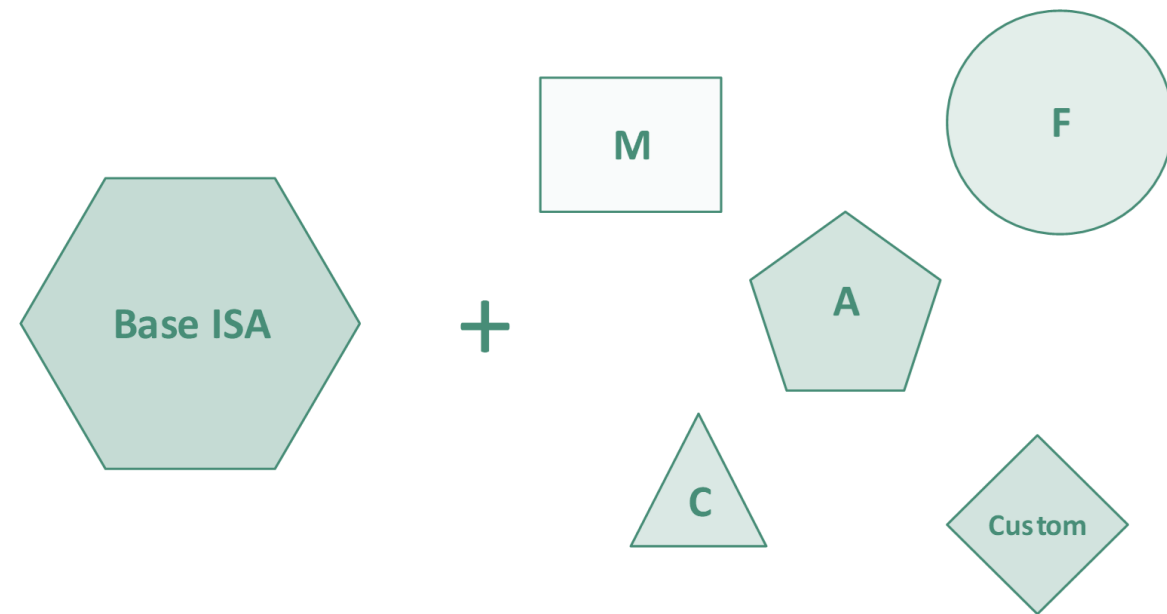
Разработка и лицензирование процессорных ядер RISC-V

- Сооснователь и Premier участник RISC-V International
- Сооснователь и участник российского Альянса RISC-V
- Основана в 2015, ~200 сотрудников
- R&D офисы в Санкт-Петербурге, Москве, Нижнем Новгороде, Екатеринбурге и других городах
- Представительства в EMEA, APAC и др.

Почему RISC-V?

Свободная и открытая процессорная архитектура

- модульная и расширяемая



- от смарт карт до высокопроизводительных систем



- развивается открытым международным сообществом
- влияние сравнимо с USB/PCI или Linux



Организация системы команд

Базовый набор команд - обязательная часть:
RV32I – ~40 инструкций для работы 32-битными integer и адресами или RV32E, RV64I, RV128I.

Стандартные расширения: M (multiply), V (vector), B (bit manipulation), ...

Пример мнемоники: **sub rd,rs1,rs2**

sub – команда вычитания
rd – регистр результата
rs1, rs2 – регистры входных операндов

Избегает излишней специализации по области использования, микроархитектуре, технологии производства.

Намеренно не включены в систему команд:

- регистр флагов и conditional коды
- 8/16-bit арифметику
- branch delay slots
- режимы адресации с инкрементом

RISC-V International

More than 3,820 Members across 70 Countries

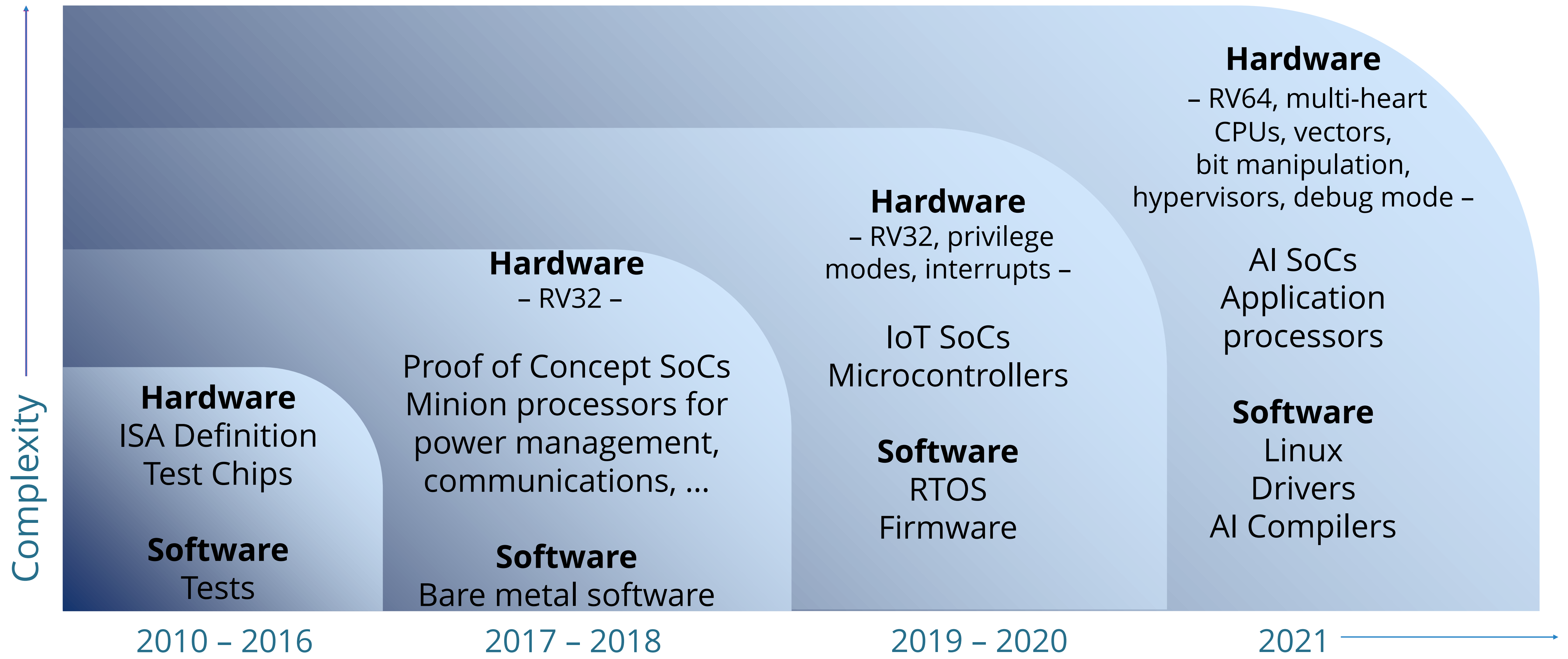


RISC-V membership grew 30% in 2022

Created with [insightsart.net](#)



Основные Этапы развития RISC-V



Профили и платформы

Профили

- Классифицируют группы ISA расширений для ключевых областей применения на
 - обязательные (m)
 - поддерживаемые опционально (s)
 - несовместимые (i)
 - неприменимые (n)
- Примеры: RVA22 / RVA23 – RISC-V Application CPU Profile версии 2022/2023 года

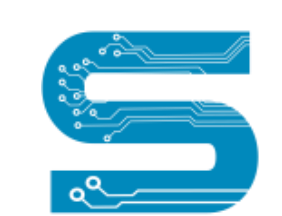
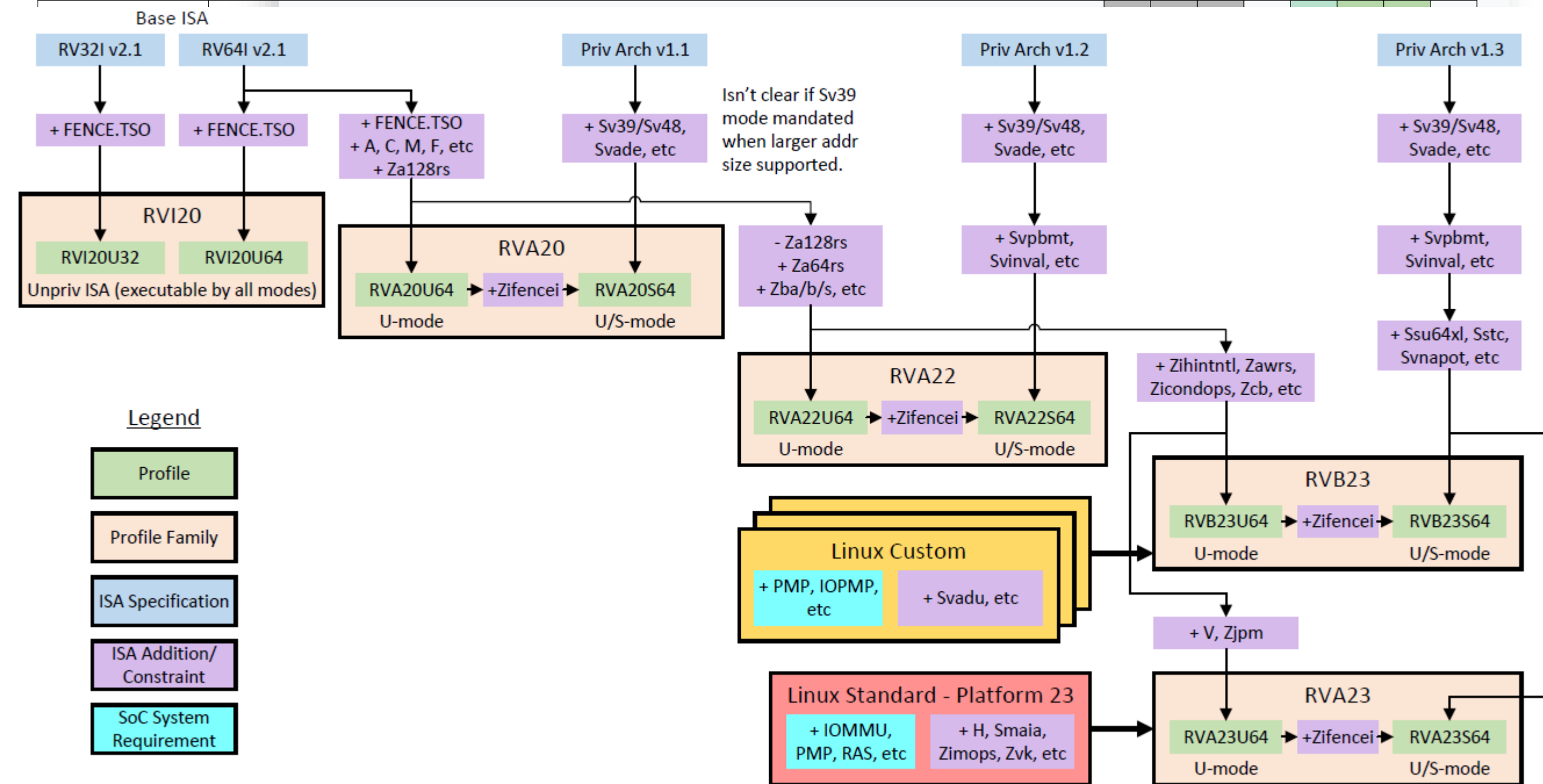
Название	Описание	RVA20 (64 only)			RVA22 (64 only)		
		U	S	M	U	S	M
D	floating point, double-precision (implies F)	m	m	s	m	m	s
F	floating point, single-precision	m	m	s	m	m	s
H	h mode priv instructions and state	x	x	x	s	s	s
I	integer base for RV132	m	m	m	m	m	m
E	integer base for RV132	i	i	i	i	i	i
I	integer base for RV164	m	m	m	m	m	m
M	multiply/divide	m	m	m	m	m	m
Sm1p11	m mode priv instructions and state	n	n	m	n	n	i
Sm1p12	m mode priv instructions and state	x	x	x	n	n	m
Smemp	trusted address map TEE extension	x	x	x	n	n	s
Smstateen	Enable/disable state access by lower privilege modes (security)	x	x	x	n	s	s
Ss1p11	s mode priv instructions and state	n	m	m	n	i	i
Ss1p12	s mode priv instructions and state	x	x	x	n	m	m
Sv57	57-bit VA translation	x	x	x	n	s	s
Sscofpmf	hpm counter overflow & privilege mode filtering	x	x	x	n	s	s

Платформы обеспечивают

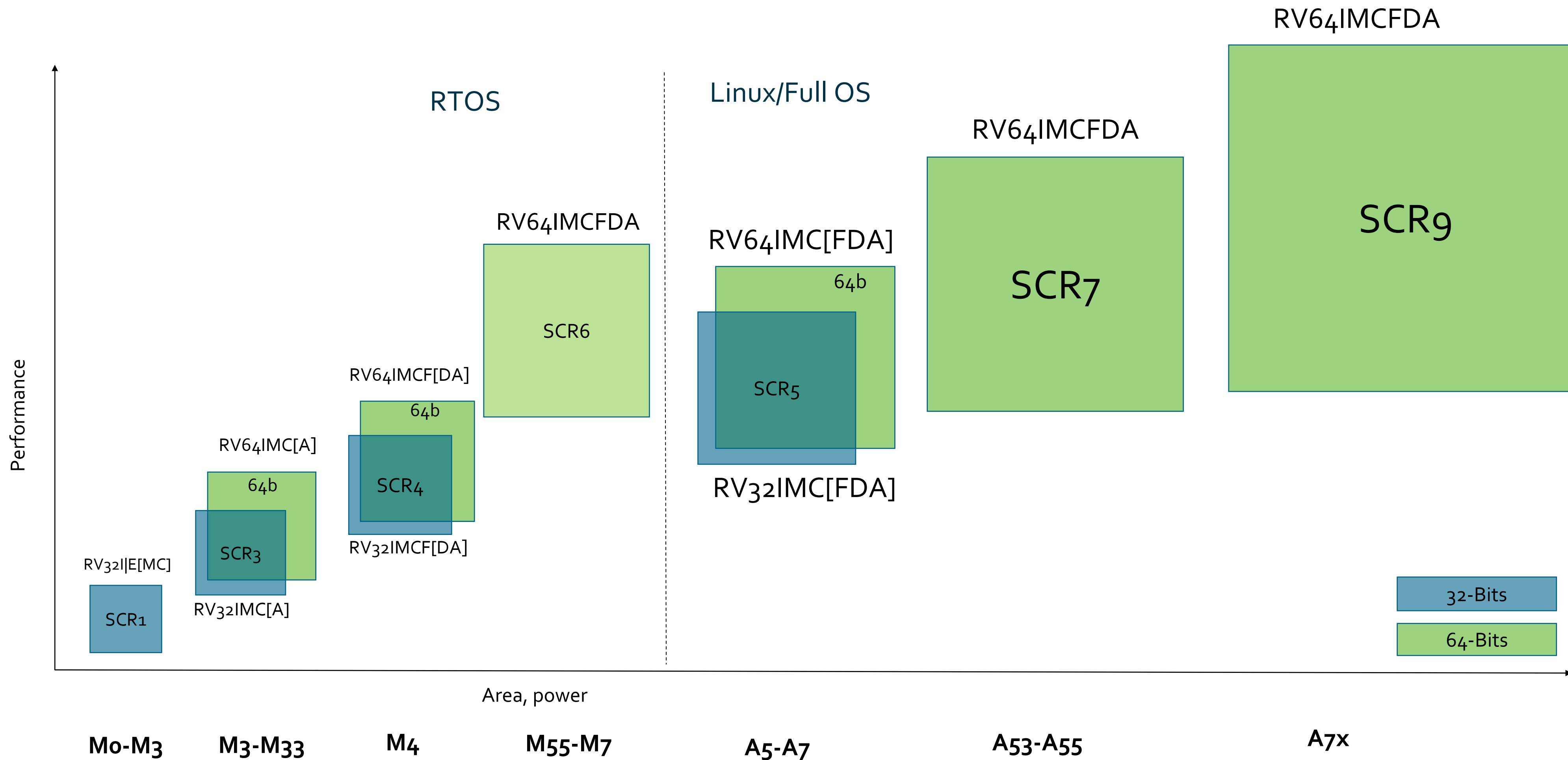
- Интероперабельность hardware и software
- Независимую разработку hardware и software
- Прямую и обратную совместимость

Последние ISA расширения: Vector Crypto

<https://github.com/riscv/riscv-crypto/releases/>



Пример линейки RISC-V ядер



SCR1: Компактное микроконтроллерное ядро для встроенных систем

SCR3: Микроконтроллерное ядро с режимами привилегий и MPU (32 или 64 бит)

SCR4: Микроконтроллерное ядро с высокопроизводительным FPU (32 или 64 бит)

SCR5: Ядро начального уровня APU с поддержкой Linux и SMP (32 или 64 бит)

SCR7: Высокопроизводительное 64-битное APU ядро с поддержкой SMP 8-16 ядер

SCR9: Высокопроизводительное 64-битное APU ядро серверного класса



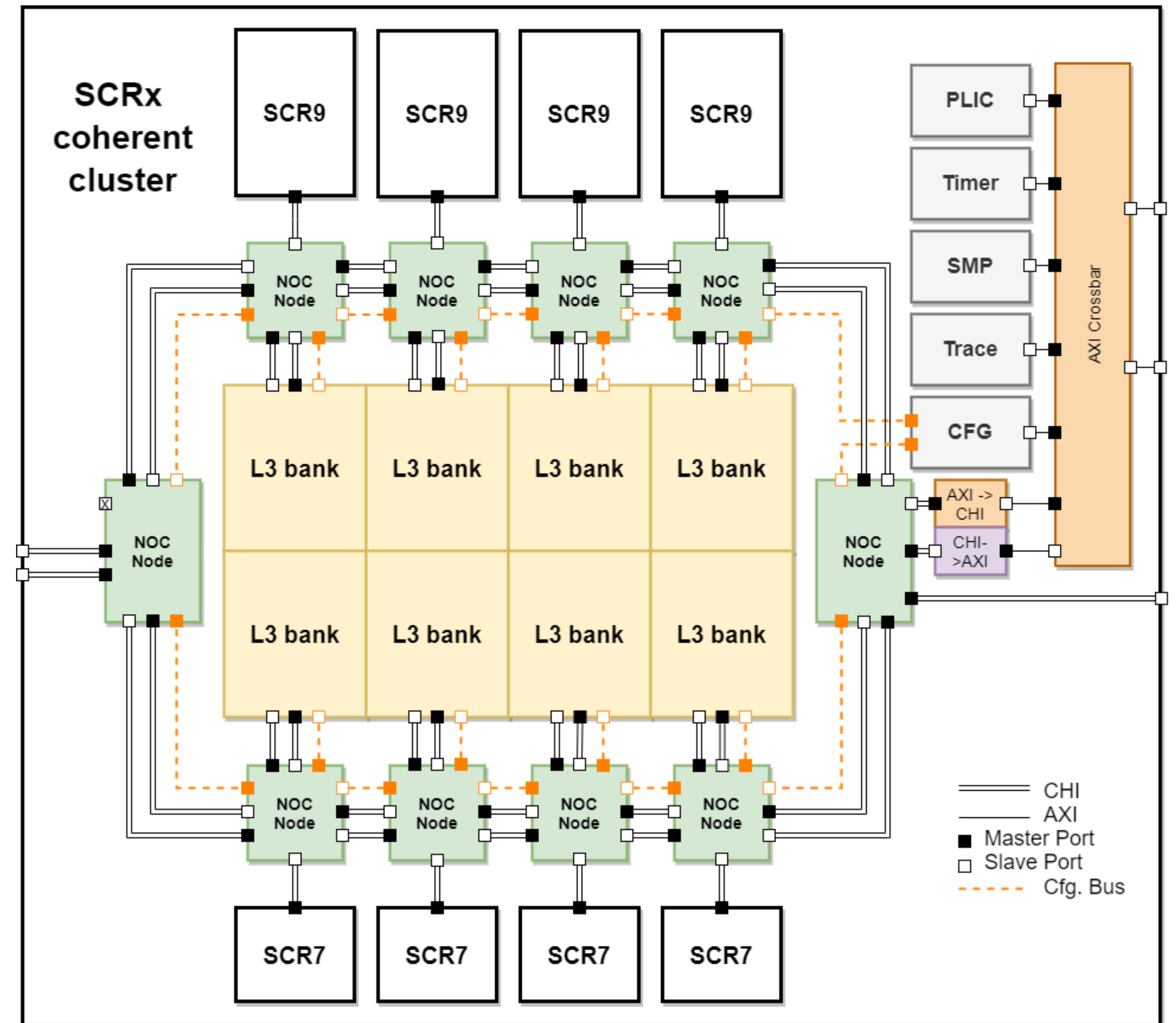
Пример высокопроизводительного ядра SCR9

Linux-capable application CPU with entry-level server class features:

- 8-16 cores per cluster (SMP and heterogeneous)
- Scalable multi-issue OOO uArch
- Coherent NoC-based L3
- CHI external i/f
- SV39, SV48, SV57
- RVV
- Hypervisor
- AIA
- Accelerators support

Early access program*

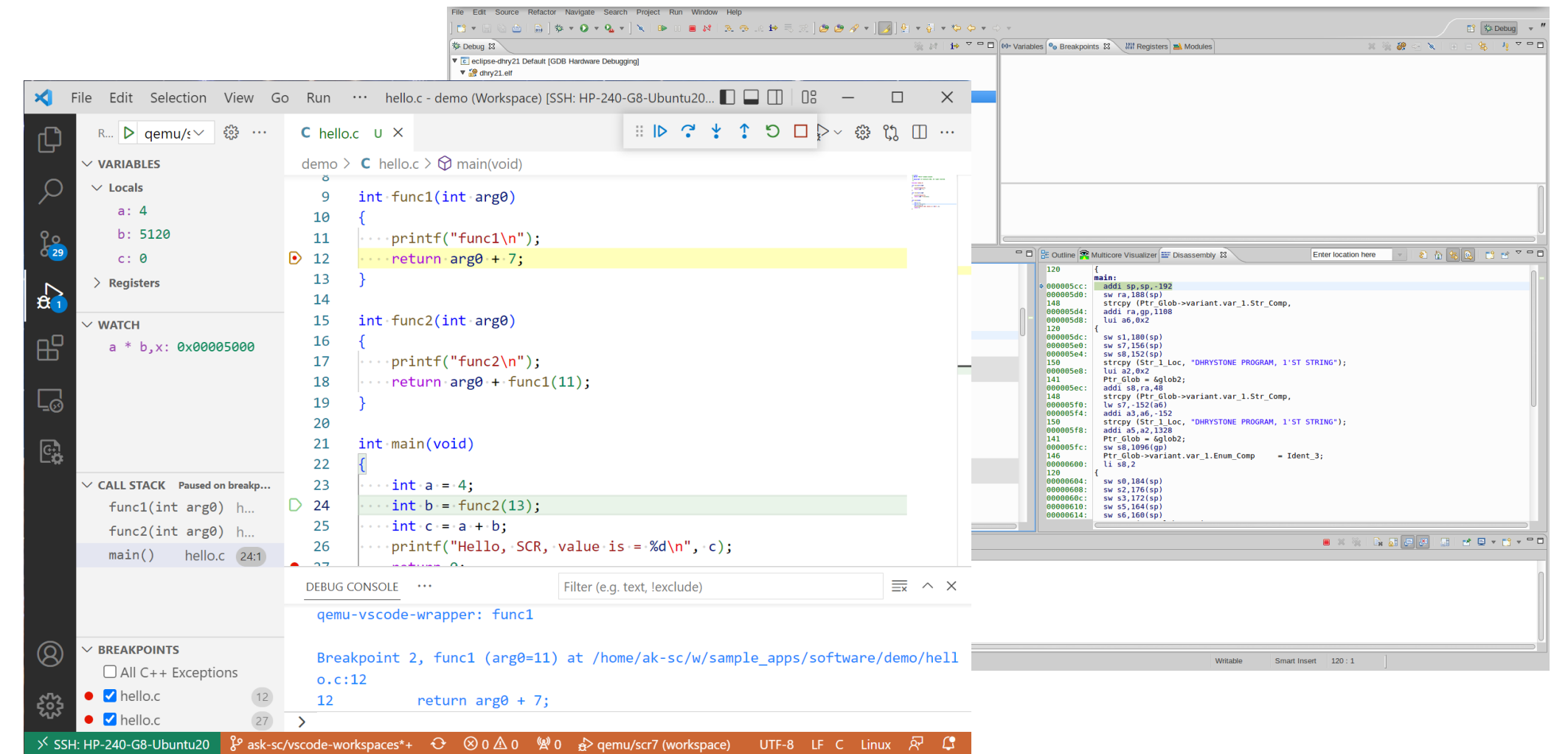
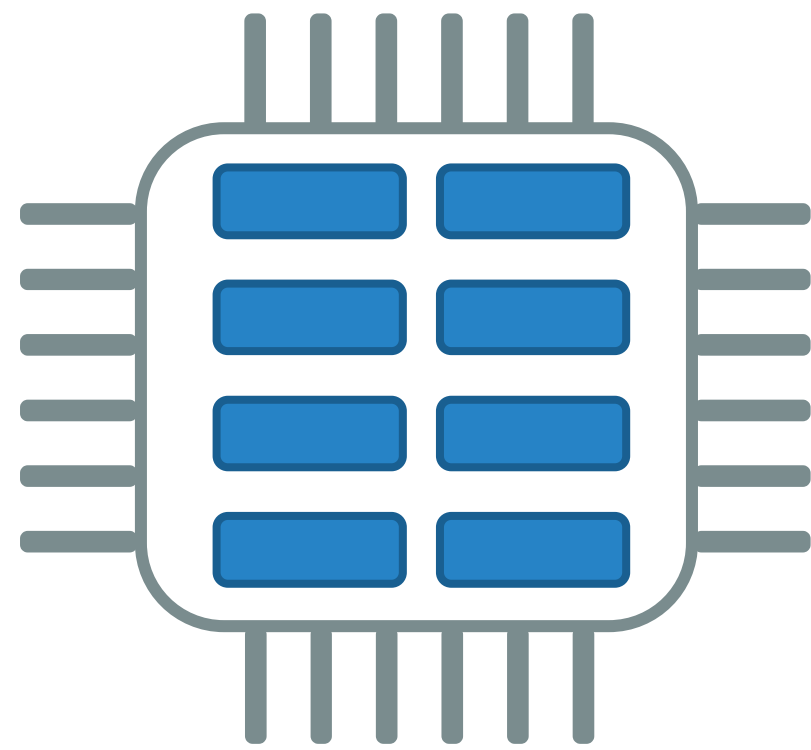
(* some features may be not available in the initial release)



SCR7/9 FPGA-based DevKit

Fully-integrated system and DevKit based on

- VCU118 <https://www.xilinx.com/products/boards-and-kits/vcu118.html> or
 - UltraScale+ VU19P http://www.hitechglobal.com/Boards/VirtexUltraScale+_VU19P_Board.htm
- Multi-core, up to 24GB RAM, up to 100-150 MHz, 1GB Ethernet, PCI/SSD storage
 - Boots upstream Debian Linux kernel 5.15/6.1 LTS
 - Integrated toolchain with IDE (supports Bare Metal and Linux targets)
 - Extra SW including OpenJDK stable builds



USB 3.0 power delivery контроллер

- ❖ SCR1
- ❖ APAC
- ❖ 2019



Контроллер SSD накопителя

- ❖ 2 ядра SCR3
- ❖ EMEA
- ❖ 2020



Мультикластерный вычислитель HPC

- ❖ 50+ ядер SCR7
- ❖ EMEA
- ❖ 2021



35+

реализованных проектов

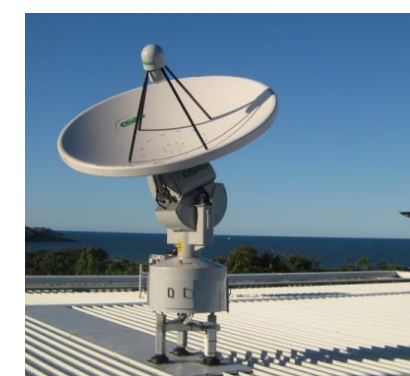
Контроллер FLASH накопителя

- ❖ SCR3
- ❖ EMEA
- ❖ 2019



Процессор для спутниковой аппаратуры

- ❖ 2 ядра SCR5
- ❖ EMEA
- ❖ 2021



CPU кластер для FPGA

- ❖ 4 ядра SCR7
- ❖ US/APAC
- ❖ 2021

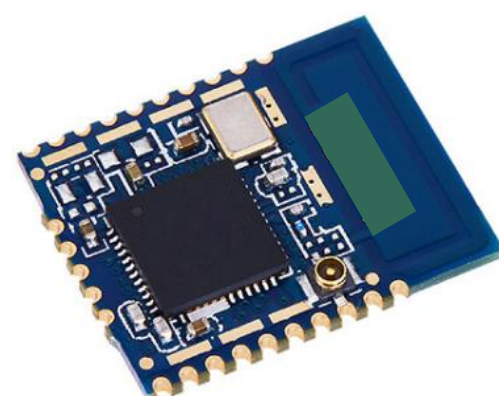


10+

тех. процесса (230 – 5 нм) на 5 фабриках

Ultra-low power IoT SoC

- ❖ SCR1
- ❖ EMEA
- ❖ 2021



Процессор для АСУ-ТП

- ❖ 2 ядра SCR5
- ❖ EMEA
- ❖ 2018



Процессор для AI

- ❖ 4 ядра SCR7
- ❖ US
- ❖ 2021



ТОП-10

Клиенты из ТОП-10 лидеров п/п отрасли

SC-DT 2023.08 release:

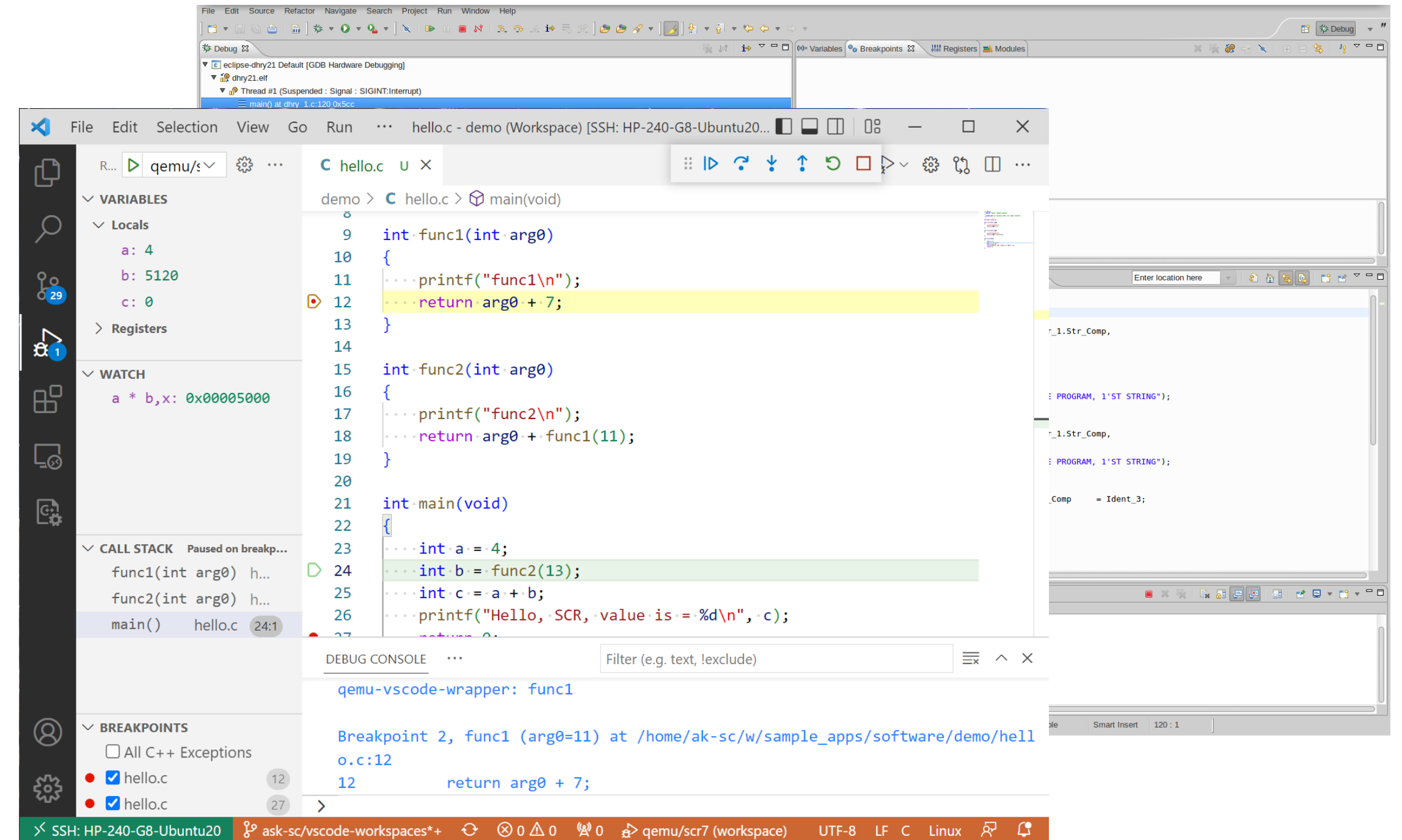
- LLVM 16.x с оптимизациями для SCR
- GNU GDB 13.2
- Open On-Chip Debugger 0.12.x
- QEMU 8.0.3
- GCC 12.2.1
- GNU Binutils 2.38
- Newlib 4.10
- Visual Studio Code and Eclipse



Hosts



Bare Metal + Linux



Доступны:

- OpenJDK
- COMPCERT
- Инструменты профилирования

Симуляторы:

- QEMU
- Spike
- SAIL
- коммерческие

JTAG решения для отладки:

- Segger J-link
- Olimex ARM-USB-OCD family
- Digilent JTAG-HS2
- другие решения



Upstream LLVM for RISC-V in 2022

- ABI and conventions are evolving
- Some functional issues related to vectorization
- Gaps vs AArch64/GCC, >10% diffs on some workloads

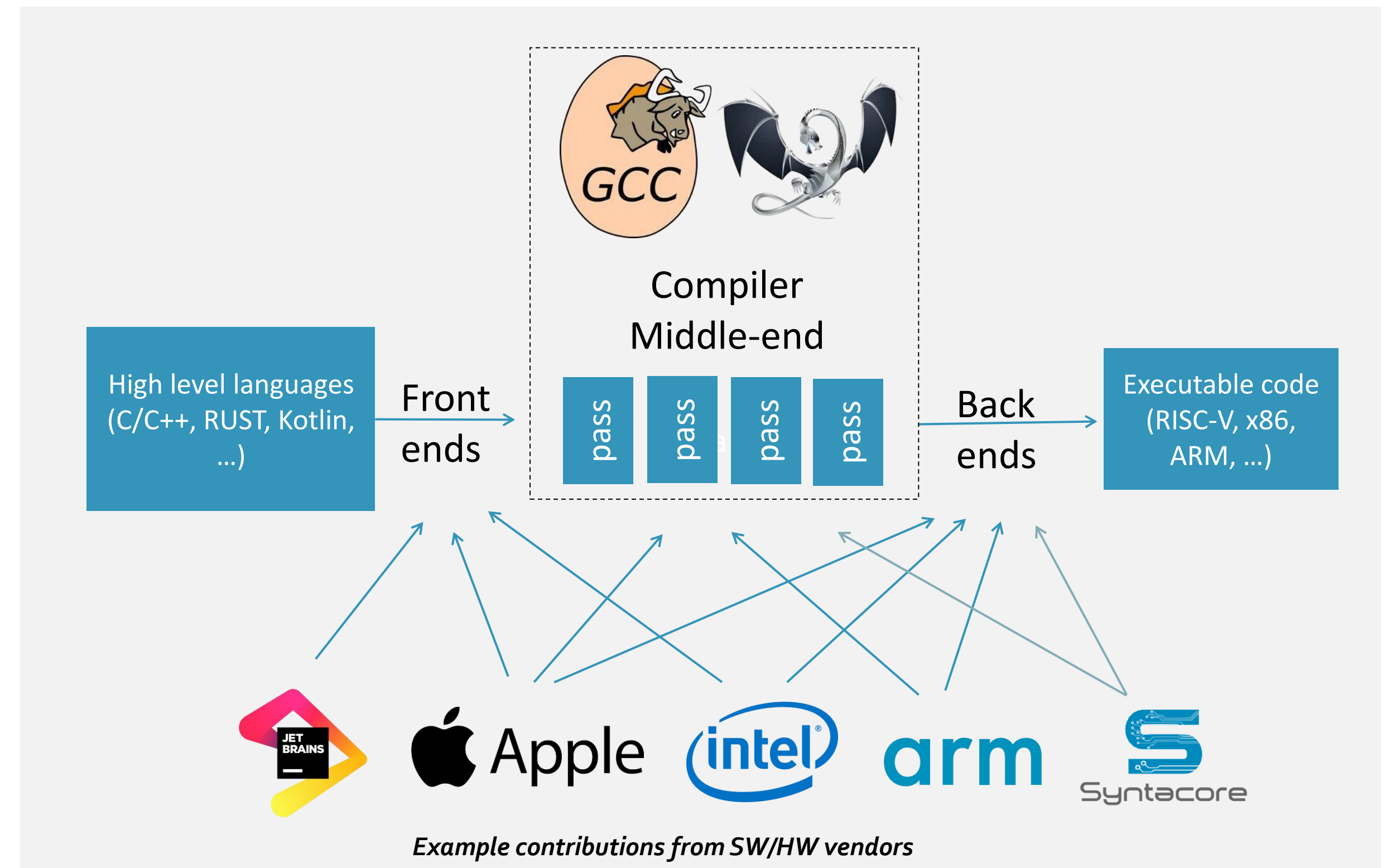
Syntacore LLVM Toolchain

- Improved stability
- SCR uArch-aware optimizations
- Advanced optimizations for RISC-V
- Enhanced RVV auto-vectorization

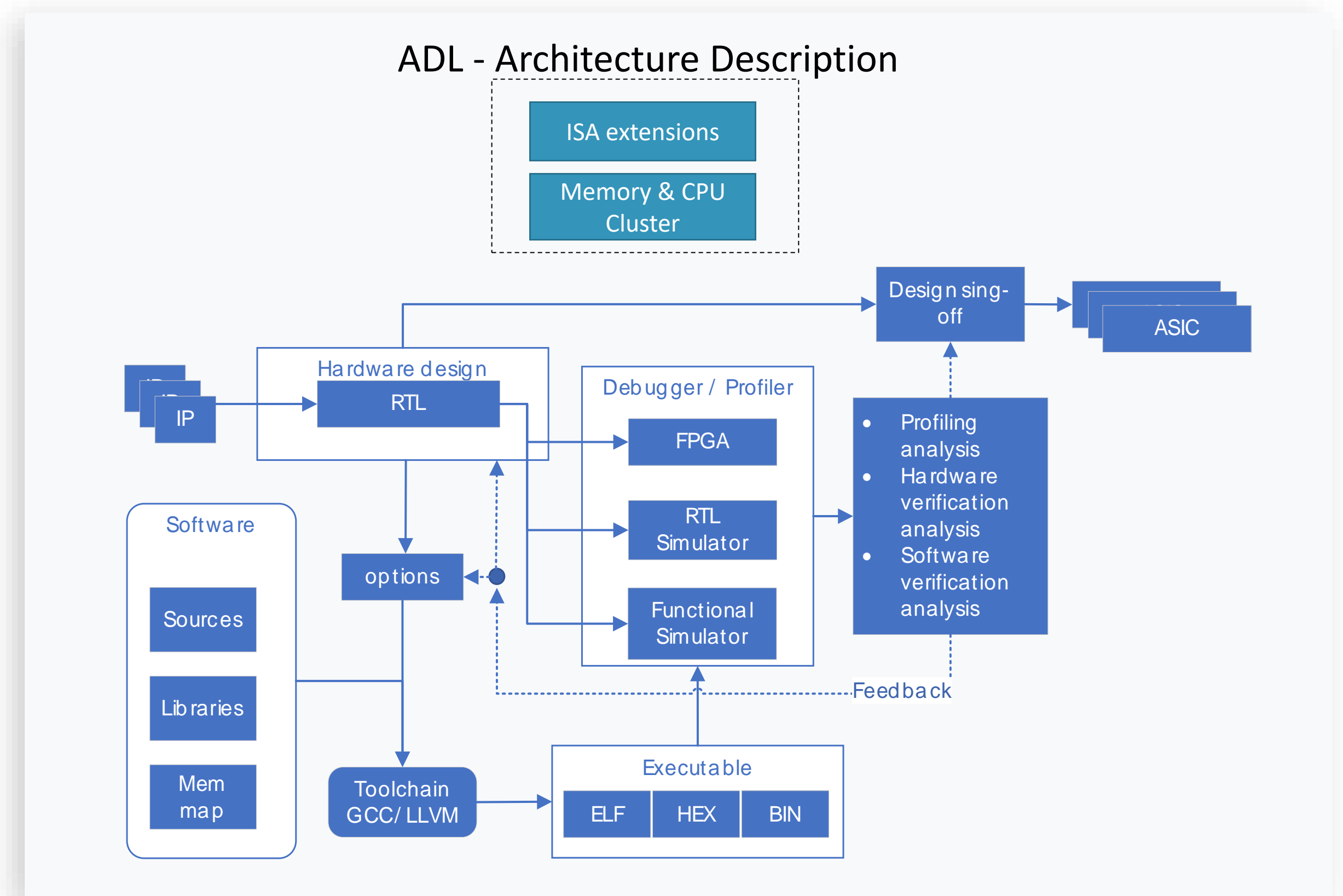
LLVM – open-source compiler framework:

20+ years, 500 000+ commits, 1500+ developers

primary for OS (Android), languages (Swift, Kotlin, RUST), commercial tools (Intel C++ Compiler), and code analyzers (Coverity)

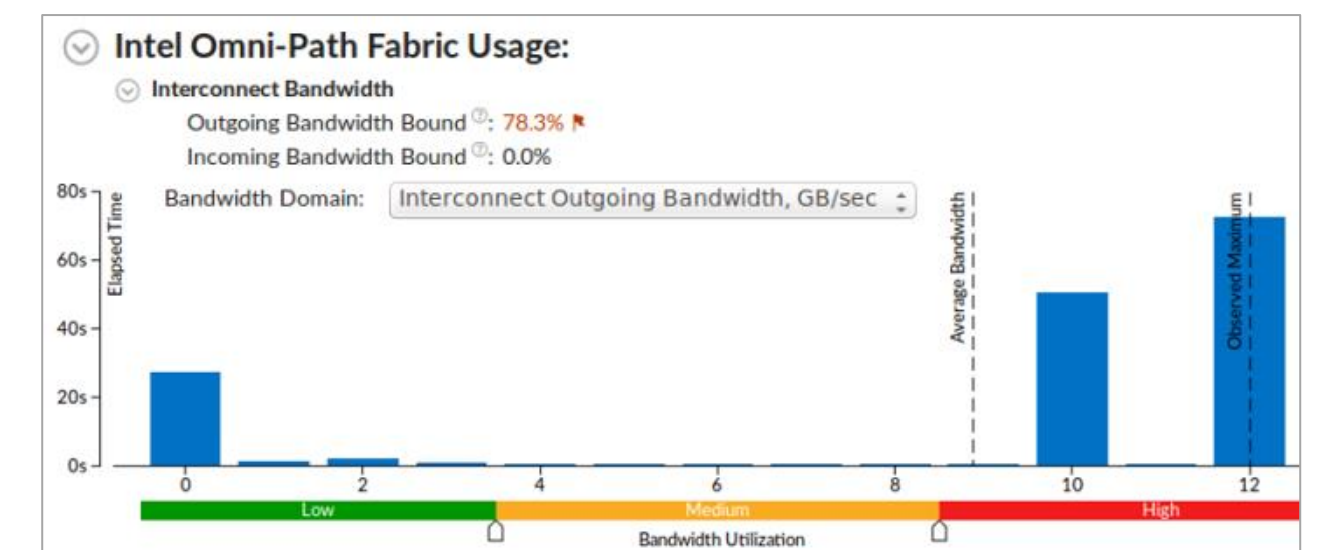
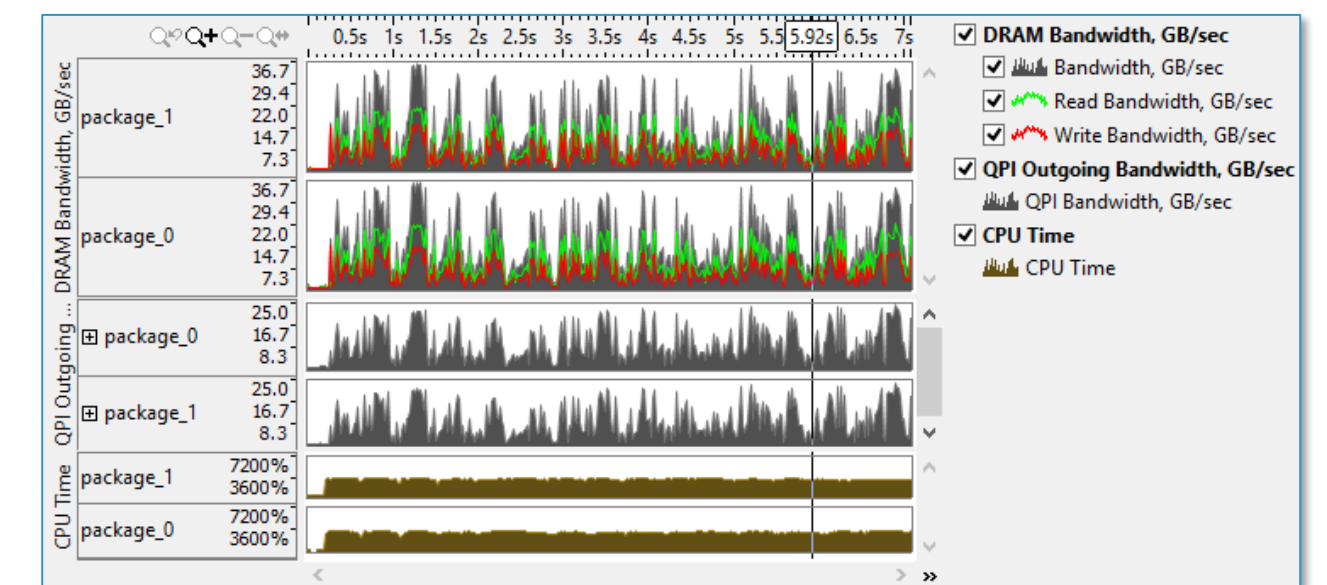
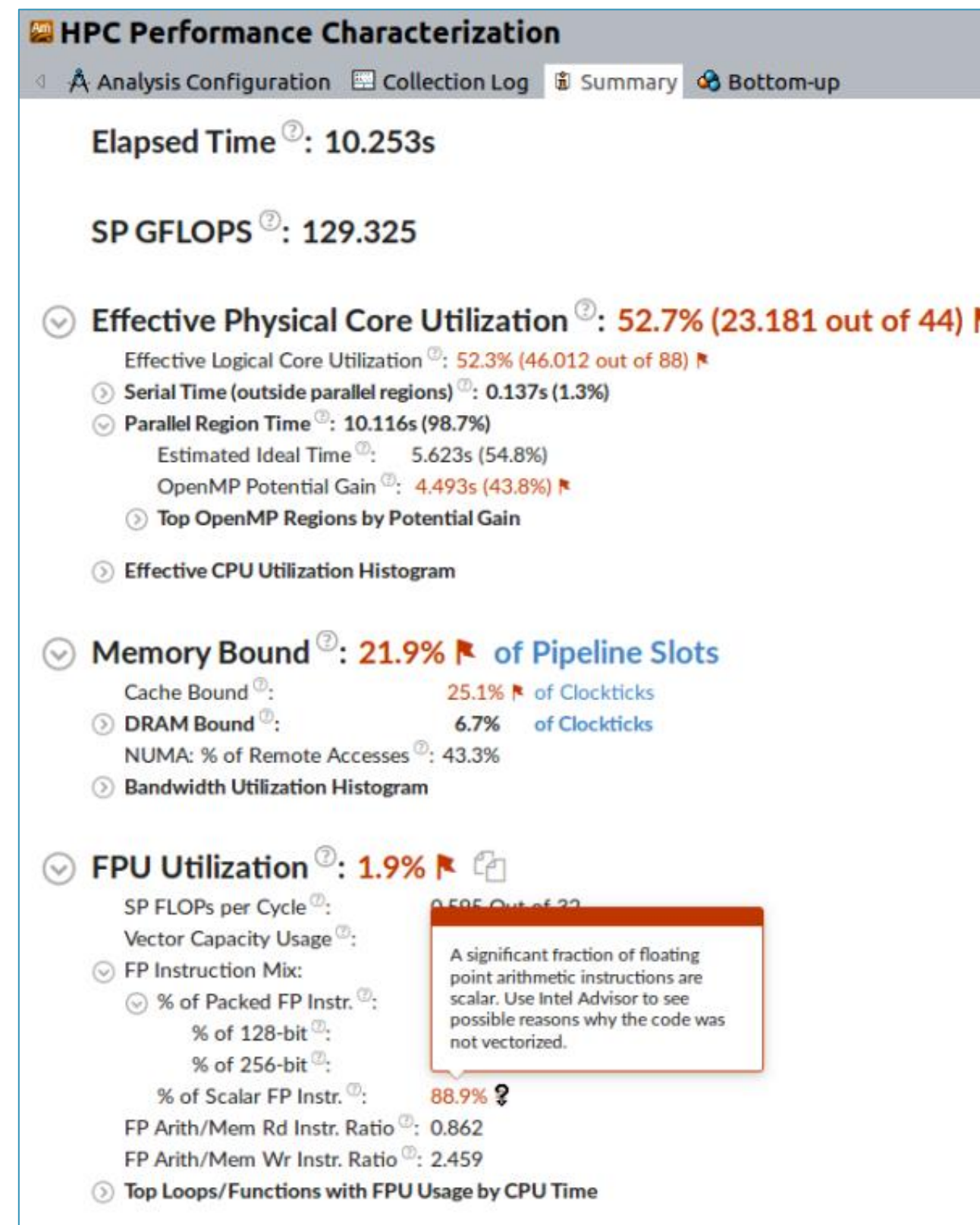


- ADL – языки архитектурного описания задают конфигурацию HPC системы
- Перенацеливаемые инструменты, компилятор, симулятор и RTL генераторы позволяют быстро адаптировать аппаратные компоненты и программный стек
- Итеративный процесс моделирования, сбора метрик и улучшения позволяет добиться лучших характеристик системы



- Threading: CPU Utilization
 - Serial vs. Parallel time
 - Top OpenMP regions by potential gain
- Memory Access Efficiency
 - Stalls by memory hierarchy
 - Bandwidth utilization
- Vectorization: FPU Utilization
 - FLOPS † estimates from sampling
 - Vectorization info with instruction mix

RISC-V HPC needs mature profiling tools comparable to Intel VTune™ Profiler:



- EuroHPC JU €270 million for RISC-V chips in HPC



- Spain €12.25b Investment including RISC-V lab at BSC



Develops 4 Open-Source Hardware Components



E4 with Università di Bologna and CINECA to build the first operational RISC-V based cluster targeted to the codesign of HPC applications

- Top 10 RISC-V startups in China have raised close to \$1.18 B in venture capital funding



fully customizable RISC-V core for big data applications



Open-source high-performance RISC-V processor from China Academy Sciences and Peng Cheng Lab



tenstorrent

Ultra high-performance RISC-V CPUs and accelerators for AI and HPC



Milk-V Launches Milk-V Vega, the world's first RISC-V open source 10 Gigabit ethernet switch

Объединение разработчиков **вычислительной техники** и **программного обеспечения** на основе архитектуры RISC-V

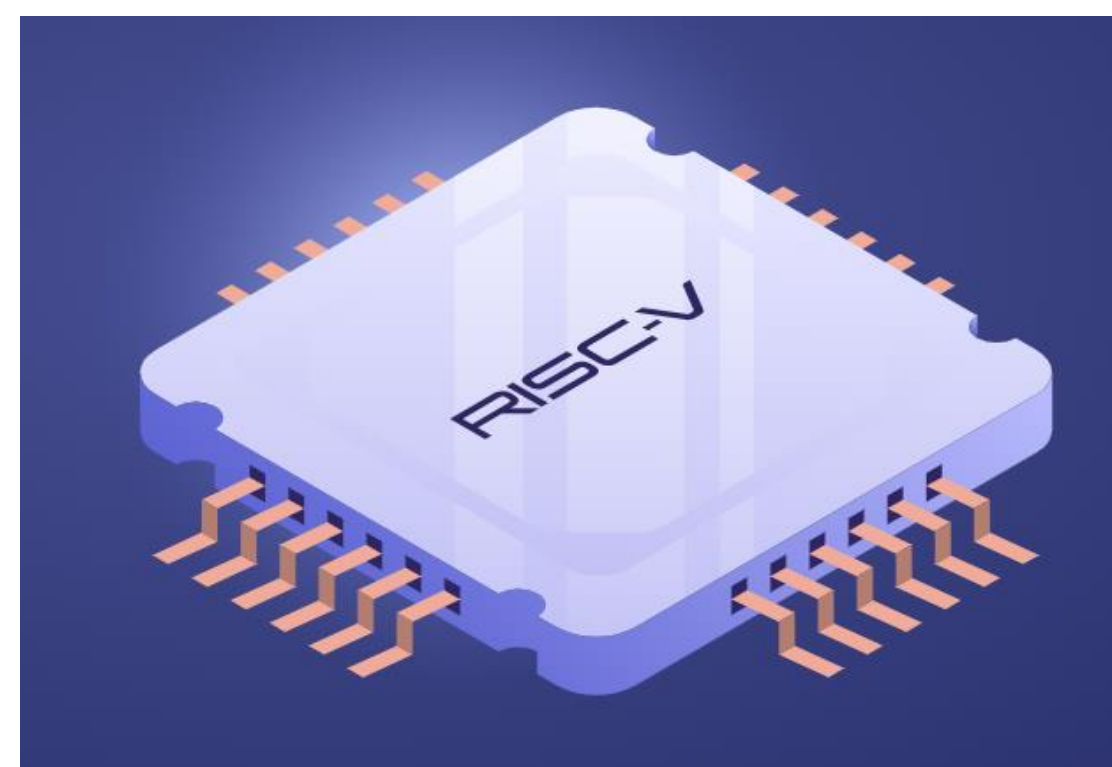
- ✓ создание открытого сообщества разработчиков
- ✓ участие в фундаментальных исследованиях
- ✓ развитие российской экосистемы продуктов

<https://riscv-alliance.ru>

Правление осуществляет оперативное руководство.

Профильные комитеты:

- Технологический
- Индустриальный
- Юридический
- Академический



ПРИСОЕДИНИТЬСЯ К АЛЬЯНСУ

Текущий перечень активностей и направлений не является исчерпывающим.
Мы будем рады обсудить предложения по развитию экосистемы RISC-V
и возможностям вступления в Альянс

Электронная почта *

Организация *

Письмо

Я согласен с [Политикой обработки персональных данных](#)

ОТПРАВИТЬ ЗАЯВКУ

Thank you!



info@syntacore.com

